

Optimización de un modelo de segmentación de fonocardiogramas para su implementación en FPGAs de bajo coste

Daniel Enériz^{1*}, Antonio J. Rodríguez-Almeida², Himar Fabelo²,
Gustavo M. Callico², Nicolás Medrano¹, Belén Calvo¹

1. Instituto Universitario de Investigación en Ingeniería de Aragón (I3A),
Universidad de Zaragoza, Zaragoza, España.
2. Instituto Universitario de Microelectrónica Aplicada (IUMA),
Universidad de Las Palmas de Gran Canaria, Las Palmas de Gran Canaria, España.

* eneriz@unizar.es

Abstract: Las enfermedades cardiovasculares (CVD) son la principal causa de muerte en todo el mundo, con más de tres cuartas partes ocurriendo en países de ingresos bajos y medios, donde el acceso a programas de atención médica primaria para la detección y tratamiento temprano es limitado. Esto ha motivado el desarrollo de dispositivos de análisis automático de fonocardiogramas (PCG) en tiempo real, confiables y de bajo coste. Una de las tareas básicas de estos sistemas es la segmentación del PCG en los estados cardíacos fundamentales: primer ruido (S1), silencio sistólico, segundo ruido (S2) y silencio diastólico. Para resolver esta tarea se han usado diferentes modelos, destacando entre ellos una adaptación unidimensional de la U-Net, un modelo de Deep Learning utilizado con gran éxito en la segmentación de imágenes.

Este trabajo presenta la optimización de este algoritmo de segmentación para su implementación en una Field-Programmable Gate Array (FPGA) de bajo coste, un tipo de hardware reprogramable que es capaz de alcanzar altos grados de eficiencia y paralelización. En primer lugar, se identificaron tres parámetros que permiten reducir el tamaño del modelo y por tanto su impacto computacional. A continuación, se desarrolló una implementación preliminar haciendo uso de datos de baja resolución, la cual se ha optimizado con dos estrategias diferentes de implementación para las salidas de las capas: bloques de memoria compartida y flujo de datos. Así, se logró reducir la latencia en un 64% con respecto a la versión preliminar, manteniendo un consumo de recursos lógicos similar. Finalmente se exploraron los efectos que aparecen en el rendimiento del modelo cuando el número de bits del tipo de datos usado para implementar el modelo se reduce, mostrando pérdidas insignificantes cuando al menos 6 bits se dedican a la parte entera y 6 bits en la parte decimal. Con todo ello, este estudio es el primer trabajo de optimización de la adaptación unidimensional de la U-Net para su implementación en FPGAs de bajo coste, permitiendo una respuesta del sistema en tiempo real.